

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-077537

(43)Date of publication of application : 23.03.2001

(51)Int.Cl.

H05K 3/46

**BEST AVAILABLE COPY**

(21)Application number : 11-248902

(71)Applicant : SONY CORP

(22)Date of filing : 02.09.1999

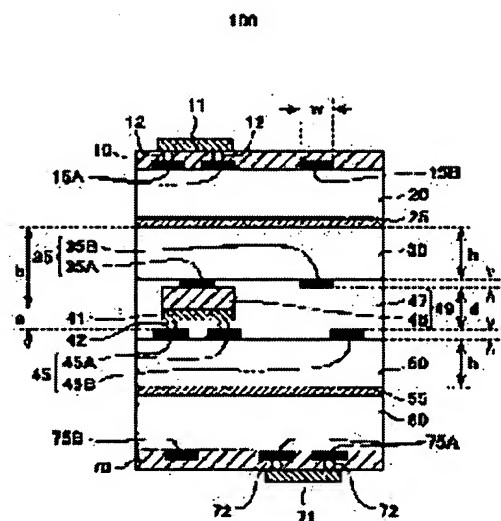
(72)Inventor : ARAKI KENJI

## (54) MULTILAYER PRINTED WIRING BOARD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a multilayer printed wiring board having a built-in IC chip which can suppress reflection of a signal using a conductor pattern accompanying the incorporating of the IC chip.

**SOLUTION:** A multilayer printed wiring board 100 is provided with a signal layer 35 which has a wiring pattern 35A, a signal layer 45 which has a land pattern 45A, an IC chip 41 which is mounted on the land pattern 45A and is positioned between the land pattern 45A and the wiring pattern 35A, a ground layer 25, and a power source layer 55. An insulating layer 49, positioned between the signal layers 35 and 45, consists of a first insulating part 46 positioned from the IC chip 41 to the signal layer 35 and a second insulating part 47 positioned so as to surround the first insulating part 46. The first insulating part 46 has a smaller relative permittivity than that of the second insulating part 47.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-77537

(P2001-77537A)

(43) 公開日 平成13年3月23日 (2001.3.23)

(51) Int. Cl.

H 0 5 K 3/46

識別記号

F I

H 0 5 K 3/46

7-71-J\* (参考)

Q 5 E 3 4 6

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平11-249902

(22) 出願日 平成11年9月2日 (1999.9.2)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 荒木 健次

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

Pターム(参考) 5E346 AA12 AA15 AA23 AA38 BB02

BB03 BB04 BB07 BB11 BB15

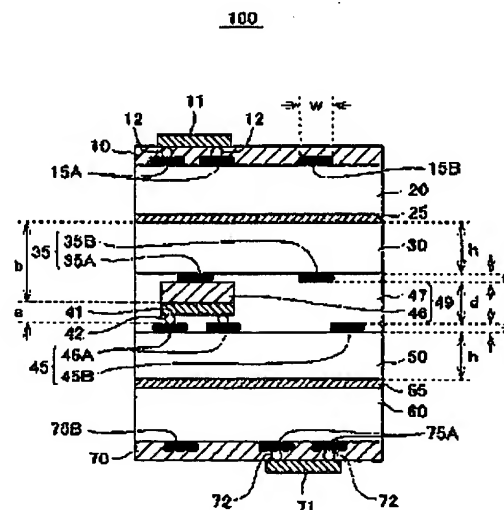
BB16 FF45 HH03

(54) 【発明の名称】 多層プリント配線板

(57) 【要約】

【課題】 ICチップが内蔵された多層プリント配線板であって、ICチップの内蔵に伴う導体パターンでの信号反射を抑えることが可能な多層プリント配線板を提供する。

【解決手段】 多層プリント配線板100は、配線パターン35Aを有する信号層35と、ランドパターン45Aを有する信号層45と、ランドパターン45Aに搭載され、ランドパターン45Aと配線パターン35Aとの間に位置するICチップ41と、グランド層25と、電源層55とを有する。信号層35、45の間に位置する絶縁層49は、ICチップ41から信号層35までに位置する第1の絶縁部46と、第1の絶縁部46を囲むように位置する第2の絶縁部47とからなる。第1の絶縁部46は、第2の絶縁部47よりも比誘電率が小さい。



(2)

特開2001-77537

1

【特許請求の範囲】

【請求項1】配線パターンを有する第1の導体層と、  
ランドパターンを有する第2の導体層と、  
前記ランドパターンに搭載され、前記ランドパターンと  
前記配線パターンとの間に位置するICチップと、  
第3および第4の導体層と、  
前記第1〜第4の導体層のうち隣り合う導体層間に介在  
する絶縁層とを有し、  
前記第1および第2の導体層は、前記第3および第4の  
導体層の間に位置し、  
前記第1および第2の導体層の間の絶縁層は、前記IC  
チップから前記第1の導体層まで位置する第1の絶縁  
部と、当該第1の絶縁部を囲むように位置する第2の絶  
縁部とからなり、  
前記第1の絶縁部は、前記第2の絶縁部よりも比誘電率  
が小さい多層プリント配線板。

【請求項2】前記第1および第2の絶縁部は、前記配線  
パターンのうち前記第1の絶縁部に接する部分の特性イン  
ピーダンスと、前記配線パターンのうち前記第2の絶  
縁部に接する部分の特性インピーダンスとが、同一また  
は略同一となるような比誘電率を有する請求項1記載の  
多層プリント配線板。

【請求項3】前記配線パターンのパターン幅は、前記IC  
チップの縦幅および横幅よりも細い請求項1記載の多  
層プリント配線板。

【請求項4】前記第1および第2の導体層は、信号層で  
あり、

前記第3および第4の導体層は、グランド層または電源  
層である請求項1記載の多層プリント配線板。

【請求項5】前記ICチップはベアチップであり、この  
ベアチップは前記ランドパターンにフリップチップ実装  
されている請求項1記載の多層プリント配線板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ICチップが内蔵  
された多層プリント配線板に関する。

【0002】

【従来の技術】特開昭60-109296号公報および  
特開平3-69191号公報には、電子部品が内蔵され  
た多層プリント配線板の発明が開示されている。

【0003】図2は、従来の多層プリント配線板の構造  
を例示する説明図であり、概略的な断面図である。この  
多層プリント配線板200は、ICチップ11、41、  
71と、ソルダレジスト10、70と、絶縁層20、3  
0、40、50、60と、グランド層（接地層）25  
と、電源層55とを有する。

【0004】絶縁層20の上面には、ランドパターン1  
5Aおよび配線パターン15Bが形成されており、ラン  
ドパターン15Aおよび配線パターン15Bは信号層を  
構成している。ICチップ11はベアチップであり、パ

2

ンプ12を用いてランドパターン15Aにフリップチッ  
プ実装されている。ランドパターン15Aおよび配線パ  
ターン15Bの導体厚さはtであり、配線パターン15  
Bのパターン幅はwである。絶縁層20の上面は、ソル  
ダレジスト10によりコーティングされている。絶縁層  
20の下面と絶縁層30の上面との間にはグランド層2  
5が位置しており、このグランド層25は絶縁層20の  
下面に形成されている。

【0005】絶縁層30の下面には、配線パターン35  
A、35Bが形成されており、配線パターン35A、3  
5Bは第1の信号層を構成している。絶縁層30の厚さ  
はhである。配線パターン35A、35Bの導体厚さは  
tであり、パターン幅はwである。

【0006】絶縁層50の上面には、ランドパターン4  
5Aおよび配線パターン45Bが形成されており、ラン  
ドパターン45Aおよび配線パターン45Bは第2の信  
号層を構成している。前記第2の信号層と前記第1の信  
号層の間には、絶縁層40が介在している。ICチップ  
41はベアチップであり、パンプ42を用いてランドパ  
ターン45Aにフリップチップ実装されている。ランド  
パターン45Aおよび配線パターン45Bの導体厚さは  
tであり、配線パターン45Bのパターン幅はwであ  
る。絶縁層50の下面と絶縁層60の上面との間には、  
電源層55が位置している。

【0007】絶縁層60の上面には電源層55が形成さ  
れており、下面にはランドパターン75Aおよび配線パ  
ターン75Bが形成されており、ランドパターン75A  
および配線パターン75Bは信号層を構成している。IC  
チップ71はベアチップであり、パンプ72を用いて  
ランドパターン75Aにフリップチップ実装されてい  
る。ランドパターン75Aおよび配線パターン75Bの  
導体厚さはtであり、配線パターン75Bのパターン幅  
はwである。絶縁層60の下面は、ソルダレジスト70  
によりコーティングされている。

【0008】図2に示す多層プリント配線板200は、  
図3に示すマイクロストリップ構造、および、図4に示  
すストリップライン構造を少なくとも有する。

【0009】図3は、マイクロストリップ構造を示す説  
明図である。このマイクロストリップ構造300は、導  
体層125と、信号導体115と、信号導体115と導  
体層125の間に位置する絶縁物120とを有する。導  
体層125は、電源層またはグランド層に相当する。信  
号導体115のパターン幅はwであり、導体厚さはtで  
ある。また、導体層125から信号導体115までの距  
離はhである。

【0010】図4は、第1のストリップライン構造を示  
す説明図である。この第1のストリップライン構造40  
0は、導体層225、255と、導体層225、255  
の間に位置する絶縁物240と、この絶縁物240中の  
信号導体235、245とを有する。導体層225、2

(3)

特開2001-77537

3

4

55は、電源層またはグランド層に相当する。信号導体235、245のパターン幅はwであり、導体厚さはtである。また、導体層225の下面から信号導体235の上面までの距離はhであり、導体層255の上面から信号導体245の下面までの距離はhであり、信号導体235の下面から信号導体245の上面までの距離（信号導体235、245間の導体厚さ方向の距離）はdで\*

$$Z_3 = 87 \times \{ (\epsilon_{eff} + 1.41)^{-1/4} \} \times \ln \{ 5.98h / (0.8w + t) \} \dots \textcircled{1}$$

$$\epsilon_{eff} = (\epsilon_r + 1) / 2 + (\epsilon_r - 1) / \{ 2 (1 + 10h/w)^{1/4} \} \dots \textcircled{2}$$

【0013】

※10※【数2】

$$Z_4 = 80H \times (\epsilon_r)^{-1/4} \times \ln \{ 1.9 (2h + t) / (0.8w + t) \} \dots \textcircled{3}$$

$$H = 1 - h / \{ 4 (h + d + t) \} \dots \textcircled{4}$$

【0014】ここで、 $\epsilon_r$ は絶縁物120、240の比誘電率であり、 $\epsilon_{eff}$ は実効比誘電率であり、wは信号導体のパターン幅であり、tは信号導体の導体厚さ（配線厚さ）であり、hは信号導体と導体層との距離であり、dは信号導体間の導体厚さ方向の距離であり、 $\ln$ は自然対数の演算記号である。

【0015】上式①～④に示すように、マイクロストリップ構造300の特性インピーダンス $Z_3$ と、ストリップライン構造400の特性インピーダンス $Z_4$ は、距離h、比誘電率 $\epsilon_r$ 、パターン幅w、および導体厚さtに依存する。また、距離hが小さくなると特性インピーダンスが小さくなる傾向があり、比誘電率 $\epsilon_r$ が小さくなると特性インピーダンスが大きくなる傾向がある。

【0016】一般に、特性インピーダンス $Z_0$ の信号導体から特性インピーダンス $Z_1$ の信号導体に信号が伝わる場合に、信号反射の割合を示す反射率 $\rho$ は次式⑤で表される。

【0017】

$$\text{【数3】 } \rho = (Z_1 - Z_0) / (Z_1 + Z_0) \dots \textcircled{5}$$

【0018】例えば、 $Z_1 = Z_0$ の場合は上式⑤から反射率 $\rho = 0$ となり、特性インピーダンス $Z_0$ の信号導体から特性インピーダンス $Z_1$ の信号導体へ信号が伝達され、反射が発生しないことになる。

【0019】ところで、ノイズは、コモンモードノイズとノーマルモードノイズに分類することができ、一般的には、コモンモードノイズの影響が大きい。このコモンモードノイズの主な発生原因の一つに、部品と配線とのインピーダンスのミスマッチングによる反射ノイズがある。

【0020】

【発明が解決しようとする課題】多層プリント配線板2★

$$Z_5 = 60 \times (\epsilon_r)^{-1/4} \times \ln \{ 4b / \{ 0.67\pi w (0.8 + t/w) \} \} \dots \textcircled{6}$$

【0026】例えば、距離h=100 $\mu$ m、パターン幅w=100 $\mu$ m、導体厚さt=40 $\mu$ m、距離d=200 $\mu$ m、絶縁物340の比誘電率 $\epsilon_r=4.3$ 、ランドパターン45AからのICチップ41の高さa=100 $\mu$ m、距離b=240 $\mu$ mの場合、上式⑥から特性インピーダンス $Z_5$ は約38.6 $\Omega$ となる。上式③から、ス

\*ある。

【0011】図3のマイクロストリップ構造300の特性インピーダンス $Z_3$ の実験式は、次式①、②で表される。図4のストリップライン構造400の特性インピーダンス $Z_4$ の実験式は、次式③、④で表される。

【0012】

【数1】

★00では、ICチップ41を導体と同様または略同様にみなすことができ、ICチップ41の上方の配線パターン35Aと導体層との距離がICチップ41と配線パターン35Aとの距離である場合と同様になり、距離が実質的に短くなる。このため、ICチップ41の上方に位置する配線パターン35Aの特性インピーダンスが局所的に小さくなる。

20 【0021】このようにICチップ41が多層プリント配線板200に内蔵されているので、ICチップ41の上方の配線パターン35Aおよびその周辺については、図5に示す第2のマイクロストリップ構造500に類似する構成となる。

【0022】図5は、第2のストリップライン構造を示す説明図である。第2のストリップライン構造500は、導体層325、341と、導体層325、341の間に位置する絶縁物340と、絶縁物340中の信号導体335とを有する。導体層325は、電源層またはグランド層に相当する。信号導体335のパターン幅はwであり、導体厚さはtである。また、導体層325から導体層341までの距離はbである。

【0023】図5のマイクロストリップ構造500と図2の多層プリント配線板200とを対応させると、導体層341とICチップ41とが対応し、信号導体335と配線パターン35Aとが対応し、導体層325とグランド層25とが対応する。

【0024】図5のストリップライン構造500の特性インピーダンス $Z_5$ の実験式は、次式⑥で表される。ここで、bは導体層325、341間の距離であり、 $\pi$ は円周率である。

【0025】

【数4】

トリップライン構造500は、比誘電率 $\epsilon_r$ が小さくなると、特性インピーダンス $Z_5$ が大きくなる傾向がある。

【0027】一方、多層プリント配線板200のグランド層25および電源層55の間において、ICチップ41とグランド層25とで挟まれた領域以外では、図4の

(4)

特開2001-77537

5

5

マイクロストリップ構造に類似する構成とみなすことができ、上記した条件下では、上式③、④から特性インピーダンス23は約47.7Ωとなる。

【0028】このため、特性インピーダンスが約47.7Ωから約38.6Ωに変化する箇所では、上式③から反射率 $\rho=0.1$ となって約10%の信号反射が発生し、この反射波により、信号波形が歪んだり、反射波がコモンモード電流となって不要電磁波が発生したりする。

【0029】このように、多層プリント配線板にICチップを内蔵すると、特性インピーダンスが局所的に変化し、導体パターンでの信号反射が発生するという問題がある。本発明の目的は、ICチップが内蔵された多層プリント配線板であって、ICチップの内蔵に伴う導体パターンでの信号反射を抑えることが可能な多層プリント配線板を提供することにある。

【0030】

【課題を解決するための手段】本発明に係る多層プリント配線板は、配線パターンを有する第1の導体層と、ランドパターンを有する第2の導体層と、前記ランドパターンに搭載され、前記ランドパターンと前記配線パターンとの間に位置するICチップと、第3および第4の導体層と、前記第1～第4の導体層のうち隣り合う導体層間に介在する絶縁層とを有し、前記第1および第2の導体層は、前記第3および第4の導体層の間に位置し、前記第1および第2の導体層の間の絶縁層は、前記ICチップから前記第1の導体層までに位置する第1の絶縁部と、当該第1の絶縁部を囲むように位置する第2の絶縁部とからなり、前記第1の絶縁部は、前記第2の絶縁部よりも比誘電率が小さい。

【0031】本発明に係る多層プリント配線板では、好適には、前記第1および第2の絶縁部は、前記配線パターンのうち前記第1の絶縁部に接する部分の特性インピーダンスと、前記配線パターンのうち前記第2の絶縁部に接する部分の特性インピーダンスとが、同一または略同一となるような比誘電率を有する。

【0032】本発明に係る多層プリント配線板では、好適には、前記配線パターンのパターン幅は、前記ICチップの縦幅および横幅よりも細い。

【0033】本発明に係る多層プリント配線板では、好適には、前記第1および第2の導体層は、信号層であり、前記第3および第4の導体層は、グラウンド層または電源層である。

【0034】本発明に係る多層プリント配線板では、例えば、前記ICチップはベアチップであり、このベアチップは前記ランドパターンにフリップチップ実装されている構成としてもよい。

【0035】ICチップから第1の導体層までに位置する第1の絶縁部は、第1の絶縁部の周辺に位置する第2の絶縁部よりも比誘電率が小さいので、第1の導体層の

配線パターンのうち第1の絶縁部に接する部分の特性インピーダンスと第2の絶縁部に接する部分の特性インピーダンスとの差を小さくすることができる。

【0036】

【発明の実施の形態】以下、本発明の実施の形態を添付図面を参照して説明する。

【0037】図1は、本発明に係る多層プリント配線板の実施の形態を示す説明図であり、概略的な断面図である。この多層プリント配線板100は、ICチップ11、41、71と、ソルダレジスト10、70と、絶縁層20、30、40、50、60と、グラウンド層（接地層）25と、電源層55とを有する。

【0038】絶縁層20の上面には、ランドパターン15Aおよび配線パターン15Bが形成されており、ランドパターン15Aおよび配線パターン15Bは信号層を構成している。ICチップ11はベアチップであり、パンプ12を用いてランドパターン15Aにフリップチップ実装されている。ランドパターン15Aおよび配線パターン15Bの導体厚さは $t$ であり、配線パターン15Bのパターン幅は $w$ である。絶縁層20の上面は、ソルダレジスト10によりコーティングされている。絶縁層20の下面と絶縁層30の上面との間には、第3の導体層であるグラウンド層25が位置しており、このグラウンド層25は絶縁層20の下面に形成されている。

【0039】絶縁層30の下面には、配線パターン35A、35Bが形成されており、配線パターン35A、35Bは第1の導体層である信号層35を構成している。絶縁層30の厚さは $h$ である。配線パターン35A、35Bの導体厚さは $t$ であり、パターン幅は $w$ である。配線パターン35Aのパターン幅は、ICチップ41の縦幅および横幅よりも細く、配線パターン35Aの導体厚さは、ICチップ41の厚さよりも薄い。

【0040】絶縁層50の上面には、ランドパターン45Aおよび配線パターン45Bが形成されており、ランドパターン45Aおよび配線パターン45Bは第2の導体層である信号層45を構成している。ICチップ41はベアチップであり、パンプ42を用いてランドパターン45Aにフリップチップ実装されている。このICチップ41は、信号層35、45の間に位置し、配線パターン35Aとランドパターン45Aとの間に位置する。ランドパターン45Aおよび配線パターン45Bの導体厚さは $t$ であり、配線パターン45Bのパターン幅は $w$ である。絶縁層50の下面と絶縁層60の上面の間には、第4の導体層である電源層55が位置している。

【0041】絶縁層60の上面には電源層55が形成されており、下面にはランドパターン75Aおよび配線パターン75Bが形成されており、ランドパターン75Aおよび配線パターン75Bは信号層を構成している。ICチップ71はベアチップであり、パンプ72を用いてランドパターン75Aにフリップチップ実装されてい

(5)

特開2001-77537

7

る。ランドパターン75Aおよび配線パターン75Bの導体厚さは1であり、配線パターン75Bのパターン幅はwである。絶縁層60の下面は、ソルダレジスト70によりコーティングされている。

【0042】信号層35、45の間には、絶縁層49が位置している。この絶縁層49は、ICチップ41から信号層35までに位置する第1の絶縁部46と、第1の絶縁部46以外の第2の絶縁部47とからなる。第2の絶縁部47は、第1の絶縁部46を囲むように位置している。第1および第2の絶縁部46、47の比誘電率はそれぞれ1よりも大きく、第1の絶縁部46は第2の絶縁部47よりも比誘電率が小さい。

【0043】このように、配線パターン35AとICチップ41との間の比誘電率を小さくすることで、配線パターン35Aのうち第1の絶縁部46に接する部分の特性インピーダンスと、配線パターン35Aのうち第2の絶縁部47に接する部分の特性インピーダンスとの差を小さくすることができる。そして、第1の絶縁部46に接する部分と第2の絶縁部47に接する部分との境界で発生する信号反射を小さくすることができ、反射ノイズを抑えることができる。

【0044】一例として、第1の絶縁部46として比誘電率 $\epsilon_1 = 2$ のポリ四フッ化エチレン（ポリテトラフルオロエチレン）樹脂を用い、第2の絶縁部47として比誘電率 $\epsilon_2 = 4$ のエポキシ樹脂を用いてもよい。ポリ四フッ化エチレン樹脂としては、例えばテフロン（商品名）を用いてもよい。さらに、距離 $h = 100 \mu\text{m}$ 、パターン幅 $w = 100 \mu\text{m}$ 、導体厚さ $t = 40 \mu\text{m}$ 、距離 $d = 200 \mu\text{m}$ 、ランドパターン45AからのICチップ41の高さ $a = 100 \mu\text{m}$ 、グラント層25からICチップ41までの距離 $b = 240 \mu\text{m}$ の場合、配線パターン35Aのうち第1の絶縁部46に接する部分の特性インピーダンスとして約45Ωを得ることができる。

【0045】この場合、特性インピーダンスが約47.7Ωから約45Ωに変化する箇所では、上式④から反射率 $\rho = 0.03$ となり、信号反射を約3%に抑えることができ、信号波形の歪みの発生や、反射波による不要電磁波の発生を抑えることが可能である。また、例えば5GHz～10GHzの高周波を含む信号についても、反射ノイズを抑えることが可能である。

【0046】すなわち、第1および第2の絶縁部46、47は、配線パターン35Aのうち第1の絶縁部46に接する部分の特性インピーダンスと、配線パターン35Aのうち第2の絶縁部47に接する部分の特性インピーダンスとが、同一または略同一となるような比誘電率を有することで、信号反射を抑えることができ、信号波形の歪みの発生や、反射波による不要電磁波の発生を抑えることができる。

【0047】絶縁層49は、第1の絶縁部46に相当す

8

る部分を、その周囲の第2の絶縁部47に相当する部分よりも比誘電率を小さくしたブリブレジを用いて構成してもよい。一例として、絶縁層49は、第1の絶縁部46に相当する部分を、その周囲の第2の絶縁部47に相当する部分よりも厚さを薄くして比誘電率を小さくしたブリブレジを用いて構成してもよい。

【0048】なお、多層プリント配線板100は、複数の電源層または複数のグラント層を有し、信号層35、45は、複数の電源層の間または複数のグラント層の間に位置する構成としてもよい。また、上記実施の形態は本発明の例示であり、本発明は上記実施の形態に限定されない。

【0049】

【発明の効果】本発明に係る多層プリント配線板では、ICチップから第1の導体層までに位置する第1の絶縁部は、第1の絶縁部の周辺に位置する第2の絶縁部よりも比誘電率が小さいので、第1の導体層の配線パターンのうち第1の絶縁部に接する第1の部分の特性インピーダンスと第2の絶縁部に接する第2の部分の特性インピーダンスとの差を小さくすることができ、第1および第2の部分が隣接する箇所での信号反射を抑えることができる。

【0050】このように、本発明によれば、ICチップが内蔵された多層プリント配線板であって、ICチップの内蔵に伴う導体パターンでの信号反射を抑えることが可能な多層プリント配線板を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る多層プリント配線板の実施の形態を示す説明図であり、概略的な断面図である。

【図2】従来の多層プリント配線板を例示する説明図であり、概略的な断面図である。

【図3】マイクロストリップ構造を示す説明図である。

【図4】第1のストリップライン構造を示す説明図である。

【図5】第2のストリップライン構造を示す説明図である。

【符号の説明】

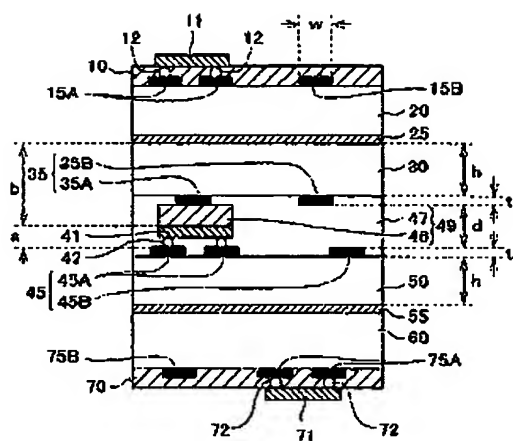
10、70…ソルダレジスト、11、41、71…ICチップ、12、42、72…パンプ、15A、45A、75A…ランドパターン、15B、35A、35B、45B、75B…配線パターン、20、30、40、49、50、60…絶縁層、35…第1の導体層（信号層）、45…第2の導体層（信号層）、46…第1の絶縁部、47…第2の絶縁部、25…第3の導体層（グラント層）、55…第4の導体層（電源層）、100、200…多層プリント配線板、115、235、245、335…信号導体、125、225、255、325、341…導体層、300…マイクロストリップ構造、400、500…ストリップライン構造。

(5)

特開2001-77537

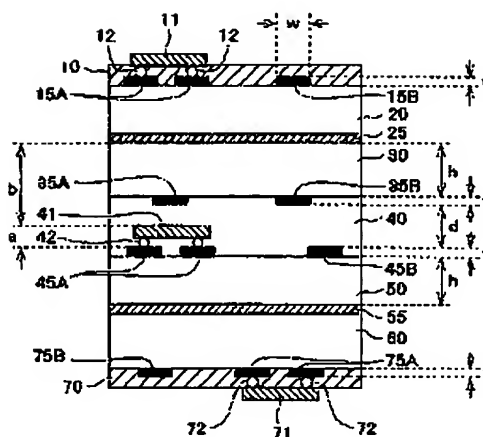
【図1】

100



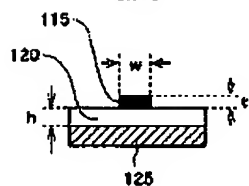
【図2】

200



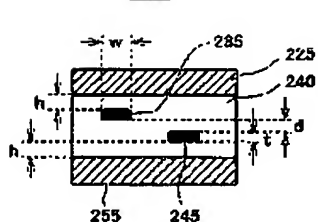
【図3】

300



【図4】

400



【図5】

500

